

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

18257813

Basic Patent (No,Kind,Date): US 20020167026 AA 20021114 <No. of Patents:

003>

PULSE OUTPUT CIRCUIT, SHIFT REGISTER AND DISPLAY DEVICE (English)

Patent Assignee: AZAMI MUNEHIO (JP); NAGAO SHOU (JP); TANADA YOSHIFUMI
(JP)

Author (Inventor): AZAMI MUNEHIO (JP); NAGAO SHOU (JP); TANADA YOSHIFUMI
(JP)

National Class: *257200000;

IPC: *H01L-031/072;

Language of Document: English

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
CN 1385825	A	20021218	CN 2002119181	A	20020513
JP 2002335153	A2	20021122	JP 2001141347	A	20010511
US 20020167026	AA	20021114	US 127600	A	20020423 (BASIC)

Priority Data (No,Kind,Date):

JP 2001141347 A 20010511

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

07466636 **Image available**

PULSE OUTPUT CIRCUIT, SHIFT REGISTER AND DISPLAY

PUB. NO.: 2002-335153 [JP 2002335153 A]

PUBLISHED: November 22, 2002 (20021122)

INVENTOR(s): ASAMI MUNEHIRO

NAGAO SHO

TANADA YOSHIFUMI

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD

APPL. NO.: 2001-141347 [JP 20011141347]

FILED: May 11, 2001 (20010511)

INTL CLASS: H03K-019/0175; G02F-001/133; G09G-003/20; G09G-003/30;
G09G-003/36; G11C-019/00

ABSTRACT

PROBLEM TO BE SOLVED: To provide a drive circuit for a display which is composed of one- conductivity type TFTs to obtain a normal amplitude of output signal.

SOLUTION: TFTs 101, 104 are turned on by an input pulse and goes into a floating state, when the potential on a node a reaches $VDD-V_{thN}$. Accompanying turning on of TFT 105 is the potential on an output node is raised with a clock signal turned to Hi, while the potential on the gate electrode of the TFT 105 rises further to exceed $VDD+V_{thN}$ by the action of a capacitance 107 with the potential rise on the output node. Thus, the potential on the output node rises up to VDD according to the threshold of the TFT 105, without the occurrence of voltage drop. Then the next-stage output is inputted to TFTs 102, 103 to turn it on, causing the potential on the node a to lower to turn off the TFT 105, and to turn on a TFT 106 at the same time, and the output node potential goes to Lo.

COPYRIGHT: (C)2003,JPO

【特許請求の範囲】

【請求項1】入力電極が第1の入力信号線と電氣的に接続された、第1のトランジスタと、
 入力電極が第1の電源と電氣的に接続された、第2のトランジスタと、
 第1の振幅補償回路と、
 第2の振幅補償回路と、
 容量とを有するパルス出力回路であって、
 前記第1のトランジスタと前記第2のトランジスタとはいずれも同一導電型であり、
 前記第1のトランジスタの出力電極と、前記第2のトランジスタの出力電極と、前記容量の第1の端子とは、いずれも出力信号線と電氣的に接続され、
 前記第1のトランジスタのゲート電極と、前記容量の第2の端子とは電氣的に接続され、
 前記第1のトランジスタのゲート電極と、前記第1の振幅補償回路の出力部とは電氣的に接続され、
 前記第2のトランジスタのゲート電極と、前記第2の振幅補償回路の出力部とは電氣的に接続され、
 第2の信号入力部と、第3の信号入力部とは、それぞれ前記第1の振幅補償回路の第1の入力部および第2の入力部と電氣的に接続され、
 前記第2の信号入力部と、前記第3の信号入力部とは、それぞれ前記第2の振幅補償回路の第1の入力部および第2の入力部と電氣的に接続されていることを特徴とするパルス出力回路。

【請求項2】入力電極が第1の入力信号線と電氣的に接続された、第1のトランジスタと、
 入力電極が第1の電源と電氣的に接続された、第2のトランジスタと、
 振幅補償回路と、
 容量とを有するパルス出力回路であって、
 前記第1のトランジスタと前記第2のトランジスタとはいずれも同一導電型であり、
 前記第1のトランジスタの出力電極と、前記第2のトランジスタの出力電極と、前記容量の第1の端子とは、いずれも出力信号線と電氣的に接続され、
 前記第2のトランジスタのゲート電極と、前記第2の振幅補償回路の出力部とは電氣的に接続され、
 前記第1のトランジスタのゲート電極と、前記振幅補償回路の出力部とは電氣的に接続され、
 第2の信号入力部と、第3の信号入力部とは、それぞれ前記振幅補償回路の第1の入力部および第2の入力部と電氣的に接続され、
 前記第2のトランジスタのゲート電極は、前記第3の入力信号線と電氣的に接続されていることを特徴とするパルス出力回路。

【請求項3】入力電極が第1の入力信号線と電氣的に接続された、第1のトランジスタと、
 入力電極が第1の電源と電氣的に接続された、第2のト

ランジスタと、
 入力電極が第2の電源と電氣的に接続された、第3のトランジスタと、
 入力電極が第1の電源と電氣的に接続された、第4のトランジスタと、
 入力電極が第2の電源と電氣的に接続された、第5のトランジスタと、
 入力電極が第1の電源と電氣的に接続された、第6のトランジスタと、
 容量とを有するパルス出力回路であって、
 前記第1乃至第6のトランジスタはいずれも同一導電型であり、
 前記第1のトランジスタの出力電極と、前記第2のトランジスタの出力電極と、前記容量の第1の端子とは、いずれも出力信号線と電氣的に接続され、
 前記第3のトランジスタの出力電極と、前記第4のトランジスタの出力電極と、前記第1のトランジスタのゲート電極とは、いずれも前記容量の第2の端子と電氣的に接続され、
 前記第5のトランジスタの出力電極と、前記第6のトランジスタの出力電極とは、いずれも前記第2のトランジスタのゲート電極と電氣的に接続され、
 前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極とは、いずれも第2の入力信号線と電氣的に接続され、
 前記第4のトランジスタのゲート電極と、前記第5のトランジスタのゲート電極とは、いずれも第3の入力信号線と電氣的に接続されていることを特徴とするパルス出力回路。

【請求項4】入力電極が第1の入力信号線と電氣的に接続された、第1のトランジスタと、
 入力電極が第1の電源と電氣的に接続された、第2のトランジスタと、
 入力電極が第2の電源と電氣的に接続された、第3のトランジスタと、
 入力電極が第1の電源と電氣的に接続された、第4のトランジスタと、
 容量とを有するパルス出力回路であって、
 前記第1乃至第4のトランジスタはいずれも同一導電型であり、
 前記第1のトランジスタの出力電極と、前記第2のトランジスタの出力電極と、前記容量の第1の端子とは、いずれも出力信号線と電氣的に接続され、
 前記第3のトランジスタの出力電極と、前記第4のトランジスタの出力電極と、前記第1のトランジスタのゲート電極とは、いずれも前記容量の第2の端子と電氣的に接続され、
 前記第3のトランジスタのゲート電極は、第2の入力信号線と電氣的に接続され、
 前記第2のトランジスタのゲート電極と、前記第4のト

ランジスタのゲート電極とは、いずれも第3の入力信号線と電気的に接続されていることを特徴とするパルス出力回路。

【請求項5】入力電極が第1の入力信号線と電気的に接続された、第1のトランジスタと、

入力電極が第1の電源と電気的に接続された、第2のトランジスタと、

入力電極が第2の電源と電気的に接続された、第3のトランジスタと、

入力電極が第1の電源と電気的に接続された、第4のトランジスタと、

入力電極が第2の電源と電気的に接続された、第5のトランジスタと、

入力電極が第1の電源と電気的に接続された、第6のトランジスタと、

入力電極が第2の電源と電気的に接続された、第7のトランジスタと、

入力電極が第1の電源と電気的に接続された、第8のトランジスタと、

容量とを有するパルス出力回路であって、前記第1乃至第8のトランジスタはいずれも同一導電型であり、

前記第1のトランジスタの出力電極と、前記第2のトランジスタの出力電極と、前記容量の第1の端子とは、いずれも出力信号線と電気的に接続され、

前記第3のトランジスタの出力電極と、前記第4のトランジスタの出力電極と、前記第8のトランジスタの出力電極と、前記第1のトランジスタのゲート電極とは、いずれも前記容量の第2の端子と電気的に接続され、

前記第5のトランジスタの出力電極と、前記第6のトランジスタの出力電極と、前記第7のトランジスタの出力電極とは、いずれも前記第2のトランジスタのゲート電極と電気的に接続され、

前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極とは、いずれも第2の入力信号線と電気的に接続され、

前記第4のトランジスタのゲート電極と、前記第5のトランジスタのゲート電極とは、いずれも第3の入力信号線と電気的に接続され、

前記第7のトランジスタのゲート電極と、前記第8のトランジスタのゲート電極とは、いずれも第4の入力信号線と電気的に接続されていることを特徴とするパルス出力回路。

【請求項6】入力電極が第1の入力信号線と電気的に接続された、第1のトランジスタと、

入力電極が第1の電源と電気的に接続された、第2のトランジスタと、

入力電極が第2の電源と電気的に接続された、第3のトランジスタと、

入力電極が第1の電源と電気的に接続された、第4のト

ランジスタと、

入力電極が第2の電源と電気的に接続された、第5のトランジスタと、

入力電極が第1の電源と電気的に接続された、第6のトランジスタと、

容量と、

走査方向切替回路とを有するパルス出力回路であって、前記第1乃至第6のトランジスタはいずれも同一導電型であり、

前記第1のトランジスタの出力電極と、前記第2のトランジスタの出力電極と、前記容量の第1の端子とは、いずれも出力信号線と電気的に接続され、

前記第3のトランジスタの出力電極と、前記第4のトランジスタの出力電極と、前記第1のトランジスタのゲート電極とは、いずれも前記容量の第2の端子と電気的に接続され、

前記第5のトランジスタの出力電極と、前記第6のトランジスタの出力電極とは、いずれも前記第2のトランジスタのゲート電極と電気的に接続され、

前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極とは、いずれも前記走査方向切替回路を介して、第2の入力信号線および第3の入力信号線と電気的に接続され、

前記第4のトランジスタのゲート電極と、前記第5のトランジスタのゲート電極とは、いずれも前記走査方向切替回路を介して、前記第2の入力信号線および前記第3の入力信号線と電気的に接続され、前記走査方向切替回路が第1の状態のとき、前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極とが、

前記第2の入力信号線と導通し、かつ前記第3の入力信号線と非導通となり、前記第4のトランジスタのゲート電極と、前記第5のトランジスタのゲート電極とが、前記第3の入力信号線と導通し、かつ前記第2の入力信号線と非導通となり、前記走査方向切替回路が第2の状態のとき、前記第3のトランジスタのゲート電極と、前記第6のトランジスタのゲート電極とが、前記第3の入力信号線と導通し、かつ前記第2の入力信号線と非導通となり、前記第4のトランジスタのゲート電極と、前記第5のトランジスタのゲート電極とが、前記第2の入力信号線と導通し、かつ前記第3の入力信号線と非導通となることを特徴とするパルス出力回路。

【請求項7】入力電極が第1の入力信号線と電気的に接続された、第1のトランジスタと、

入力電極が第1の電源と電気的に接続された、第2のトランジスタと、

入力電極が第2の電源と電気的に接続された、第3のトランジスタと、

入力電極が第1の電源と電気的に接続された、第4のトランジスタと、

容量と、

50

前記第１のトランジスタの出力電極と、前記第２のトランジスタの出力電極と、前記容量の第１の端子とは、いずれも出力信号線と電気的に接続され、

前記第３のトランジスタの出力電極と、前記第４のトランジスタの出力電極と、前記第８のトランジスタの出力電極と、前記第１のトランジスタのゲート電極とは、いずれも前記容量の第２の端子と電気的に接続され、

前記第５のトランジスタの出力電極と、前記第６のトランジスタの出力電極と、前記第７のトランジスタの出力電極とは、いずれも前記第２のトランジスタのゲート電極と電気的に接続され、

前記第３のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極とは、いずれも前記走査方向切替回路を介して、第２の入力信号線および第３の入力信号線と電気的に接続され、

前記第４のトランジスタのゲート電極と、前記第５のトランジスタのゲート電極とは、いずれも前記走査方向切替回路を介して、前記第２の入力信号線および前記第３の入力信号線と電気的に接続され、

前記第７のトランジスタのゲート電極と、前記第８のトランジスタのゲート電極とは、いずれも第４の入力信号線と電気的に接続され、前記走査方向切替回路が第１の状態のとき、前記第３のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極とが、前記第２の入力信号線と導通し、かつ前記第３の入力信号線と非導通となり、前記第４のトランジスタのゲート電極と、前記第５のトランジスタのゲート電極とが、前記第３の入力信号線と導通し、かつ前記第２の入力信号線と非導通となり、前記走査方向切替回路が第２の状態のとき、前記第３のトランジスタのゲート電極と、前記第６のトランジスタのゲート電極とが、前記第３の入力信号線と導通し、かつ前記第２の入力信号線と非導通となり、前記第４のトランジスタのゲート電極と、前記第５のトランジスタのゲート電極とが、前記第２の入力信号線と導通し、かつ前記第３の入力信号線と非導通となることを特徴とするパルス出力回路。

【請求項９】請求項６において、

前記走査方向切替回路は、入力電極が前記第２の入力信号線と電気的に接続された第７のトランジスタと、入力電極が前記第２の入力信号線と電気的に接続された第８のトランジスタと、入力電極が前記第３の入力信号線と電気的に接続された第９のトランジスタと、入力電極が前記第３の入力信号線と電気的に接続された第１０のトランジスタとを有し、前記第７乃至第１０のトランジスタはいずれも前記第１乃至第６のトランジスタと同一導電型であり、

前記第７のトランジスタの出力電極と、前記第９のトランジスタの出力電極と、前記第３のトランジスタのゲート電極とは、いずれも前記第６のトランジスタのゲート電極と電気的に接続され、

前記第8のトランジスタの出力電極と、前記第10のトランジスタの出力電極と、前記第4のトランジスタのゲート電極とは、いずれも前記第5のトランジスタのゲート電極と電気的に接続され、

前記第7のトランジスタのゲート電極と、前記第10のトランジスタのゲート電極とは、いずれも第4の入力信号線と電気的に接続され、

前記第8のトランジスタのゲート電極と、前記第9のトランジスタのゲート電極とは、いずれも第5の入力信号線と電気的に接続され、

前記第4の入力信号線に、走査方向切替信号が入力され、前記第5の入力信号線に、前記走査方向切替信号の反転信号が入力されるとき、前記第7のトランジスタと、前記第10のトランジスタとがそれぞれ導通し、かつ前記第8のトランジスタと、前記第9のトランジスタとがそれぞれ非導通となり、

前記第5の入力信号線に、前記走査方向切替信号が入力され、前記第4の入力信号線に、前記走査方向切替信号の反転信号が入力されるとき、前記第8のトランジスタと、前記第9のトランジスタとがそれぞれ導通し、かつ前記第7のトランジスタと、前記第10のトランジスタとがそれぞれ非導通となることを特徴とするパルス出力回路。

【請求項10】請求項7において、

前記走査方向切替回路は、入力電極が前記第2の入力信号線と電気的に接続された第5のトランジスタと、入力電極が前記第2の入力信号線と電気的に接続された第6のトランジスタと、入力電極が前記第3の入力信号線と電気的に接続された第7のトランジスタと、入力電極が前記第3の入力信号線と電気的に接続された第8のトランジスタとを有し、前記第5乃至第8のトランジスタはいずれも前記第1乃至第4のトランジスタと同一導電型であり、

前記第5のトランジスタの出力電極と、前記第7のトランジスタの出力電極とは、いずれも前記第3のトランジスタのゲート電極と電気的に接続され、

前記第6のトランジスタの出力電極と、前記第8のトランジスタの出力電極と、前記第2のトランジスタのゲート電極とは、いずれも前記第4のトランジスタのゲート電極と電気的に接続され、

前記第5のトランジスタのゲート電極と、前記第8のトランジスタのゲート電極とは、いずれも第4の入力信号線と電気的に接続され、

前記第6のトランジスタのゲート電極と、前記第7のトランジスタのゲート電極とは、いずれも第5の入力信号線と電気的に接続され、

前記第4の入力信号線に、走査方向切替信号が入力され、前記第5の入力信号線に、前記走査方向切替信号の反転信号が入力されるとき、前記第5のトランジスタと、前記第8のトランジスタとがそれぞれ導通し、かつ

前記第6のトランジスタと、前記第7のトランジスタとがそれぞれ非導通となり、

前記第5の入力信号線に、前記走査方向切替信号が入力され、前記第4の入力信号線に、前記走査方向切替信号の反転信号が入力されるとき、前記第6のトランジスタと、前記第7のトランジスタとがそれぞれ導通し、かつ前記第5のトランジスタと、前記第8のトランジスタとがそれぞれ非導通となることを特徴とするパルス出力回路。

10 【請求項11】請求項8において、

前記走査方向切替回路は、入力電極が前記第2の入力信号線と電気的に接続された第9のトランジスタと、入力電極が前記第2の入力信号線と電気的に接続された第10のトランジスタと、入力電極が前記第3の入力信号線と電気的に接続された第11のトランジスタと、入力電極が前記第3の入力信号線と電気的に接続された第12のトランジスタとを有し、

前記第9のトランジスタの出力電極と、前記第11のトランジスタの出力電極と、前記第3のトランジスタのゲート電極とは、いずれも前記第6のトランジスタのゲート電極と電気的に接続され、

20 前記第10のトランジスタの出力電極と、前記第12のトランジスタの出力電極と、前記第4のトランジスタのゲート電極とは、いずれも前記第5のトランジスタのゲート電極と電気的に接続され、

前記第9のトランジスタのゲート電極と、前記第12のトランジスタのゲート電極とは、いずれも第5の入力信号線と電気的に接続され、

30 前記第10のトランジスタのゲート電極と、前記第11のトランジスタのゲート電極とは、いずれも第6の入力信号線と電気的に接続され、

前記第4の入力信号線に、走査方向切替信号が入力され、前記第5の入力信号線に、前記走査方向切替信号の反転信号が入力されるとき、前記第9のトランジスタと、前記第12のトランジスタとがそれぞれ導通し、かつ前記第10のトランジスタと、前記第11のトランジスタとがそれぞれ非導通となり、

前記第5の入力信号線に、前記走査方向切替信号が入力され、前記第4の入力信号線に、前記走査方向切替信号の反転信号が入力されるとき、前記第10のトランジスタと、前記第11のトランジスタとがそれぞれ導通し、かつ前記第9のトランジスタと、前記第12のトランジスタとがそれぞれ非導通となることを特徴とするパルス出力回路。

【請求項12】請求項1乃至請求項8のいずれか1項において、

前記容量は、前記第1のトランジスタのゲート電極と、前記第1のトランジスタの出力電極との間の容量を用いることを特徴とするパルス出力回路。

50 【請求項13】請求項1乃至請求項8のいずれか1項に

において、

前記容量は、活性層材料、ゲート電極を構成する材料、あるいは配線材料のうちいずれか2つの材料を用いて構成された容量であることを特徴とするパルス出力回路。

【請求項14】請求項1乃至請求項13のいずれか1項に記載の前記パルス出力回路を n 段(n は自然数、 $1 < n$)用いてなるシフトレジスタであって、

第1段目の前記パルス出力回路において、

前記第1の入力信号線には、クロック信号もしくはクロック反転信号が入力され、

前記第2の入力信号線には、スタートパルスが入力され、

前記第3の入力信号線には、第2段目の前記パルス出力回路からの出力信号が入力され、

第 m 段目(m は自然数、 $2 \leq m \leq n-1$)の前記パルス出力回路において、

前記第1の入力信号線には、クロック信号もしくはクロック反転信号が入力され、

前記第2の入力信号線には、第 $m-1$ 段目の前記パルス出力回路からの出力信号が入力され、

前記第3の入力信号線には、第 $m+1$ 段目の前記パルス出力回路からの出力信号が入力され、

第 n 段目の前記パルス出力回路において、

前記第1の入力信号線には、クロック信号もしくはクロック反転信号が入力され、

前記第2の入力信号線には、第 $n-1$ 段目の前記パルス出力回路からの出力信号が入力され、

前記第3の入力信号線には、第1の電源、リセット信号、もしくは前記スタートパルスのいずれか1つが入力され、前記クロック信号あるいは前記クロック反転信号と、前記スタートパルスとに伴って、順次サンプリングパルスを出力することを特徴とするシフトレジスタ。

【請求項15】請求項1乃至請求項13のいずれか1項において、

前記導電型とは、Nチャネル型であることを特徴とするパルス出力回路。

【請求項16】請求項1乃至請求項13のいずれか1項において、

前記導電型とは、Pチャネル型であることを特徴とするパルス出力回路。

【請求項17】請求項14において、

前記導電型とは、Nチャネル型であることを特徴とするシフトレジスタ。

【請求項18】請求項14において、

前記導電型とは、Pチャネル型であることを特徴とするシフトレジスタ。

【請求項19】請求項1乃至請求項18のいずれか1項に記載のパルス出力回路あるいはシフトレジスタを用いたことを特徴とする表示装置。

【請求項20】請求項19に記載の表示装置を用いたこ

とを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、パルス出力回路、シフトレジスタ、および表示装置に関する。なお本明細書中、表示装置とは、画素に液晶素子を用いてなる液晶表示装置および、エレクトロルミネッセンス(EL)素子を始めとした自発光素子を用いてなる自発光表示装置を含むものとする。表示装置の駆動回路とは、表示装置に配置された画素に映像信号を入力し、映像の表示を行うための処理を行う回路を指し、シフトレジスタ、インバータ等を始めとするパルス出力回路や、アンプ等を始めとする増幅回路を含むものとする。

【0002】

【従来の技術】近年、絶縁体上、特にガラス基板上に半導体薄膜を形成した表示装置、特に薄膜トランジスタ

(以下、TFTと表記)を用いたアクティブマトリクス型表示装置の普及が進んでいる。TFTを使用したアクティブマトリクス型表示装置は、マトリクス状に配置された数十万から数百万の画素を有し、各画素に配置されたTFTによって各画素の電荷を制御することによって映像の表示を行っている。

【0003】さらに最近の技術として、画素を構成する画素TFTの他に、画素部の周辺領域にTFTを用いて駆動回路を同時形成するポリシリコンTFTに関する技術が発展してきており、装置の小型化、低消費電力化に大いに貢献し、それに伴って、近年その応用分野の拡大が著しいモバイル情報端末の表示部等に、表示装置は不可欠なデバイスとなってきている。

【0004】一般的に、表示装置の駆動回路を構成する回路としては、Nチャネル型TFTとPチャネル型TFTを組み合わせたCMOS回路が一般的に使用されている。ここで、従来一般的に利用されているCMOS回路の一例として、シフトレジスタを例に挙げる。図11

(A)は、従来より用いられているシフトレジスタの一例であり、点線枠1100で囲まれた部分が1段分のパルスを出力する回路である。図11(A)は3段分を抜き出して示している。1段分の回路は、クロックドインバータ1101、1103、およびインバータ1102によって構成されている。図11(B)に詳細な回路構造を示す。図11(B)において、TFT1104~1107によって、クロックドインバータ1101が構成され、TFT1108、1109によって、インバータ1102が構成され、TFT1110~1113によって、クロックドインバータ1103が構成される。

【0005】回路を構成するTFTは、ゲート電極、ソース電極、ドレイン電極の3電極を有する。一般的にCMOS回路において、Nチャネル型TFTは、電位の低い方をソース電極、電位の高い方をドレイン電極として用い、Pチャネル型の場合は、電位の高い方をソース電

極、電位の低い方をドレイン電極として用いることが多いため、本明細書においてTFTの接続を説明する際、それらの混同を避けるため、ソース電極およびドレイン電極のうち一方を入力電極、他方を出力電極として表記している。

【0006】回路の動作について説明する。なお、TFTの動作については、ゲート電極に電位が与えられて不純物領域間にチャンネルが形成され、導通している状態をON、不純物領域のチャンネルが消失して非導通となった状態をOFFと表記する。

【0007】図11(A)(B)、および図11(C)に示したタイミングチャートを参照する。TFT1107、1104にはそれぞれクロック信号(以後CKと表記)、クロック反転信号(以後CKBと表記)が入力される。TFT1105、1106にはスタートパルス

(以後SPと表記)が入力される。CKがHi電位、CKBがLo電位、SPがHi電位の時、TFT1106、1107がONし、Lo電位が出力されてTFT1108、1109にて構成されるインバータに入力され、反転されて出力ノード(SRout1)にHi電位が出力される。その後、SPがHi電位の状態でCKがLo電位、CKBがHi電位になると、インバータ1102およびクロックドインバータ1103によって構成されたループにおいて、保持動作をとる。よって出力ノードにはHi電位が出力されつづける。次にCKがHi電位、CKBがLo電位になると、再びクロックドインバータ1101で書き込み動作をとる。このとき、既にSPはLo電位となっているので、出力ノードにはLo電位が出力される。以後、CKがLo電位、CKBがHi電位となると再び保持動作をとり、このときの出力ノードのLo電位は、インバータ1102およびクロックドインバータ1103によって構成されたループにおいて保持される。

【0008】以上が1段分の動作である。次段は、CK、CKBの接続が逆になっており、上記とはクロック信号の極性が逆の状態と同様の動作をする。これが交互に繰り返され、以後同様に、図11(C)に示すようにサンプリングパルスが順次出力される。

【0009】CMOS回路の特徴としては、論理が変わる(Hi電位からLo電位へ、あるいはLo電位からHi電位へ)瞬間にのみ電流が流れ、ある論理の保持中には電流が流れない(実際には微小なリーク電流の存在がある)ため、回路全体での消費電流を低く抑えることが可能な点が挙げられる。

【0010】

【発明が解決しようとする課題】ところで、液晶や自発光素子を用いた表示装置の需要は、モバイル電子機器の小型化、軽量化に伴って急速にその需要が増加しているが、歩留まり等の面から、その製造コストを十分に低く抑えることが難しい。今後の需要はさらに急速に増加す

ることは容易に予測され、そのため表示装置をより安価に供給できるようにすることが望まれている。

【0011】絶縁体上に駆動回路を作製する方法としては、複数のフォトマスクを用いて、活性層、配線等のパターンを露光、エッチングを行って作りこんでいく方法が一般的であるが、このときの工程数の多さが製造コストに直接影響しているため、可能な限り少ない工程数で製造することが理想的である。そこで、従来CMOS回路によって構成されていた駆動回路を、Nチャンネル型もしくはPチャンネル型のいずれか一方の導電型のみでTFTを用いて構成することが出来れば、イオンドーピング工程の一部を省略することが出来、さらにフォトマスクの枚数も削減することが出来る。

【0012】

【本発明以前の技術の問題点】図9(A)は、従来一般的に用いられているCMOSインバータ(I)と、一極性のみのTFTを用いて構成したインバータ(II)(III)の例を示している。(II)はTFT負荷型のインバータ、(III)は抵抗負荷型のインバータである。以下に、それぞれの動作について述べる。

【0013】図9(B)は、インバータに入力する信号の波形を示している。ここで、入力信号振幅はVDD-VSS間($VSS < VDD$)とする。ここでは $VSS = 0[V]$ として考える。

【0014】回路動作について説明する。なお、説明を明確かつ簡単にするため、回路を構成するN型TFTのしきい値電圧は、そのばらつきがないものとして一律(V_{thN})とする。また、P型TFTについても同様に、一律(V_{thP})とする。

【0015】CMOSインバータに図9(B)のような信号が入力されると、入力信号の電位がHi電位の時、P型TFT901はOFFし、N型TFT902がONすることにより、出力ノードの電位はLo電位となる。逆に、入力信号の電位がLo電位の時、P型TFT901がONし、N型TFT902がOFFすることにより、出力ノードの電位はHi電位となる(図9(C))。

【0016】続いて、TFT負荷型インバータ(II)の動作について説明する。同じく図9(B)に示すような信号が入力される場合を考える。まず、入力信号がLo電位の時、N型TFT904はOFFする。一方、負荷TFT903は常に飽和動作していることから、出力ノードの電位はHi電位方向に引き上げられる。一方、入力信号がHi電位の時、N型TFT904はONする。ここで、負荷TFT903の電流能力よりも、N型TFT904の電流能力を十分に高くしておくことにより、出力ノードの電位はLo電位方向に引き下げられる。

【0017】抵抗負荷型インバータ(III)についても同様に、N型TFT906のON抵抗値を、負荷抵抗9

10

20

30

40

50

05の抵抗値よりも十分に低くしておくことにより、入力信号がHi電位のときは、N型TFT906がONすることにより、出力ノードはLo電位方向に引き下げられる。入力信号がLo電位のときは、N型TFT906はOFFし、出力ノードはHi電位方向に引き上げられる。

【0018】ただし、TFT負荷型インバータや抵抗負荷型インバータを用いる際、以下のような問題点がある。図9(D)は、TFT負荷型インバータの出力波形を示したものであるが、出力がHi電位のときに、907で示す分だけVDDよりも電位が低くなる。負荷TFT903において、出力ノード側の端子をソース、電源VDD側の端子をドレインとすると、ゲート電極とドレイン領域が接続されているので、このときのゲート電極の電位はVDDである。また、この負荷TFTがONしているための条件は、(TFT903のゲートソース間電圧 $>V_{thN}$)であるから、出力ノードの電位は、最大でも $(VDD - V_{thN})$ までしか上昇しない。つまり、907は V_{thN} に等しい。さらに、負荷TFT903とN型TFT904の電流能力の比によっては、出力電位がLo電位のとき、908で示す分だけVSSよりも電位が高くなる。これを十分にVSSに近づけるためには、負荷TFT903に対し、N型TFT904の電流能力を十分に大きくする必要がある。同様に、図9(E)は抵抗負荷型インバータの出力波形を示したものであるが、負荷抵抗905の抵抗値とN型TFT906のON抵抗の比によっては、909で示す分だけ電位が高くなる。つまり、ここに示した一極性のみのTFTを用いて構成したインバータを用いると、入力信号の振幅に対し、出力信号の振幅減衰が生ずることになる。

【0019】シフトレジスタのように、前段の出力パルスを次段に入力する構成の回路の場合、m段目→m+1段目→m+2段目・・・と段を重ねるごとに、TFTのしきい値によって振幅の減衰が生じ、回路として機能しない。

【0020】本発明は、以上のような課題を鑑見てなされたものであり、一極性のみのTFTを用いて製造工程を削減することにより低コストで作製が可能であり、かつ振幅減衰のない出力を得ることが出来るパルス出力回路およびシフトレジスタを提供することを目的とする。

【0021】

【課題を解決するための手段】先程の図9(A)の(I)に示したTFT負荷型インバータにおいて、出力信号の振幅が正常に $VDD - VSS$ を取るための条件を考える。第1に、図10(A)のような回路において、出力信号の電位がLo電位となると、その電位を十分にVSSに近づけるためには、電源VDD-出力ノード間の抵抗値に対し、電源VSS-出力ノード間の抵抗値が十分に低くなっていればよい。すなわち、N型TFT1002がONしている期間、N型TFT1001がOF

Fしていればよい。第2に、出力信号の電位がHi電位となると、その電位がVDDに等しくなるには、N型TFT1001のゲートソース間電圧の絶対値が、 V_{thN} を常に上回っていればよい。つまり、出力ノードのHi電位がVDDとなる条件を満たすには、N型TFT1001のゲート電極の電位は $(VDD + V_{thN})$ よりも高くなる必要がある。回路に供給される電源はVDD、VSSの2種類のみであるから、VDDよりも電位の高い第3の電源がない限り、従来の方法では、この条件を満たすことは出来ない。

【0022】そこで、本発明では以下のような手段を講じた。図10(B)に示すように、N型TFT1001のゲートソース間に容量1003を設ける。N型TFT1001のゲート電極がある電位をもって浮遊状態となったとき、出力ノードの電位を上昇させると、この容量1003による容量結合によって、出力ノードの電位上昇に伴って、N型TFT1001のゲート電極の電位も持ち上げられる。この効果を利用すれば、N型TFT1001のゲート電極の電位をVDDよりも高く(正確には、 $VDD + V_{thN}$ よりも高く)することが可能となる。よって出力ノードの電位を十分にVDDまで引き上げることが可能となる。

【0023】なお、図10(B)において示した容量1003は、TFT1001のゲートソース間に寄生する容量を利用するようにしても良いし、実際に容量部分を作製しても良い。容量部分を独立して作製する場合は、活性層、ゲート材料、および配線材料のうちいずれか2つを用いて、間に絶縁層を挟んだ構成として作製するのが簡単であり、望ましいが、他の材料を用いて作製しても構わない。

【0024】

【発明の実施の形態】図1は、本発明のパルス出力回路の一形態である、ブートストラップ法を応用したシフトレジスタを示している。図1(A)に示したブロック図において、100で示されるブロックが1段分のサンプリングパルスを出力するパルス出力回路であり、図1

(A)のシフトレジスタはn段のパルス出力回路で構成されている。クロック信号(以後CKと表記)、クロック反転信号(以後CKBと表記)、スタートパルス(以後SPと表記)が入力される。図1(B)に、ブロック100の詳細な回路構成を示す。図1(B)において、ブロック110は第1の振幅補償回路、ブロック120は第2の振幅補償回路である。図1(C)にさらなる詳細図を示す。図1(C)において、電源VDDに接続されたTFT101と、電源VSSに接続されたTFT102とを用いて第1の振幅補償回路が構成され、電源VDDに接続されたTFT103と、電源VSSに接続されたTFT104とを用いて第2の振幅補償回路が構成されている。

【0025】図1に示す回路図および、図2に示すタイ

ミングチャートを用いて、回路の動作について説明する。ある m 段目 ($1 < m \leq n$) のパルス出力回路において、TFT101、104のゲート電極には $m-1$ 段目の出力パルスが入力されて ($m=1$ 、すなわち第1段目の場合、SPが入力される) Hi電位となり、TFT101、104がONする (図2 201参照)。これにより、ノード α の電位はVDD側に引き上げられ (図2 202参照)、その電位が $VDD - V_{thN}$ となったところでTFT101がOFFし、浮遊状態となる。よってTFT105がONする。一方、TFT102、103のゲート電極にはこの時点ではパルスが入力されておらず、Lo電位のままであるので、OFFしている。よってTFT106のゲート電極の電位はLo電位であり、OFFしているので、TFT105の不純物領域の一端、すなわち第1の入力信号線 (1) から入力されるCKがHi電位となるのに伴い、出力ノードの電位がVDD側に引き上げられる (図2 203参照)。

【0026】ここで、TFT105のゲートと出力ノード間には、容量107が設けてあり、さらに今、ノード α 、すなわちTFT105のゲート電極は浮遊状態にあるため、出力ノードの電位が上昇するのに伴い、ブートストラップによってTFT105のゲート電極の電位は $VDD - V_{thN}$ からさらに引き上げられる。これにより、TFT105のゲート電極の電位は、 $VDD + V_{thN}$ よりも高い電位を取る (図2 202参照)。よって出力ノードの電位は、TFT105のしきい値によって電位が低下することなく、完全にVDDまで上昇する (図2 203参照)。

【0027】同様にして、 $m+1$ 段目においてはCKBに従ってパルスが出力される (図2 204参照)。 $m+1$ 段目の出力パルスは、 m 段目に帰還してTFT102、103のゲート電極に入力される。TFT102、103のゲート電極がHi電位となってONすることにより、ノード α の電位はVSS側に引き下げられてTFT105がOFFする。同時にTFT106のゲート電極の電位がHi電位となってONし、 m 段目の出力ノードの電位はLo電位となる。

【0028】以後、最終段まで同様の動作により、順次 $VDD - VSS$ 間の振幅を有するパルスが出力される。最終段においては、図1 (C) において第3の入力信号線より入力されるべき次段出力パルスがないため、CKがそのまま出力されつづける。よって、最終段の出力はサンプリングパルスとして用いることは出来ないため、実際に必要なサンプリングパルスの出力段数が n 段であるとき、シフトレジスタの段数を n 段よりも多く設けて最終段を含む余剰段をダミー一段として扱えばよい。ただし、最終段の出力は、次の水平期間までの間に何らかの方法で停止させる必要があるが、図1に示した回路においては、第1段目に入力するスタートパルスを最終段の第3の入力信号線にも入力することによって帰還パルス

として用い、次の水平期間の直前に最終段パルス出力を停止させている。

【0029】なお、本実施形態で示した振幅補償回路の構成は一例であり、これ以外の構成を用いても良い。

【0030】この他の方法としては、図14 (A) (B) に示すように、リセット信号を用意して、帰線期間中に最終段の第3の入力信号線1401に入力することによって、パルス出力を停止する方法、あるいは図15 (A) (B) に示すように、リセット用TFT1508、1509を用いて、リセット信号の入力があつたとき、TFT1505のゲート電極の電位をLo電位としてOFFし、かつTFT1506のゲート電極電位をHi電位としてONさせることによって、全段の出力をLo電位に固定するような方法などが挙げられる。このとき、リセット信号の入力タイミングは、図14 (B) に示したタイミングチャートと同様で良い。なお、図15 (A) において、最終段のパルス出力回路の※で示される第3の入力信号線は、VSS側の電源電位に接続して、TFT1502、1503が常にOFFしているようにするのが望ましい。

【0031】また、特に図示していないが、図15に示した回路の場合、回路がサンプリングパルスの出力を開始する前、すなわち電源投入直後に、最初にリセット信号を入力することによって、全段での出力ノードの電位を確定 (図15の回路の場合、全段の出力ノードがLo電位に確定) することが出来る。ダイナミック回路の場合、このような操作は安定して回路を動作させるためには有効である。

【0032】以上のような動作によって、一導電型のTFTのみを用いて構成した回路においても、高電位側の電源に接続されたTFTのしきい値の影響などに起因する振幅減衰を生ずることなく、入力信号に対して正常な振幅を有する出力信号を得ることが出来る。さらに本実施形態にて示した回路は、従来のCMOS回路と比較しても複雑な構成ではないことも大きなメリットであるといえる。

【0033】

【実施例】以下に本発明の実施例について記述する。

【0034】[実施例1] 図3は、本発明の実施形態にて示したシフトレジスタに、走査方向反転機能を付加したものの例である。図3 (A) において、図1 (A) に示した回路と比較して、走査方向切替信号 (LR) および走査方向切替反転信号 (LRB) を追加している。

【0035】図3 (B) は、図3 (A) において、ブロック300で示される1段分のパルス出力回路の構成を、詳細に示したものである。TFT301~306および容量307で構成されるパルス出力回路本体は、図1 (B) に示したものと同様であるが、第2の入力信号線 (2) および第3の入力信号線 (3) と、パルス出力回

路本体との間に、点線枠 350 で示される走査方向切替回路を有する。本実施例で示している走査方向切替回路は、TFT308~311を用いて構成され、アナログスイッチとして機能する。

【0036】TFT301およびTFT304のゲート電極は、図3(B)に示すように、TFT308を介して第2の入力信号線(2)と接続され、TFT310を介して第3の入力信号線(3)と接続されている。TFT302およびTFT303のゲート電極は、TFT309を介して第2の入力信号線(2)と接続され、TFT311を介して第3の入力信号線(3)と接続されている。TFT308およびTFT310のゲート電極にはLR信号が入力され、TFT309およびTFT311のゲート電極にはLRB信号が入力される。LRおよびLRBは、排他的にHi電位もしくはLo電位をとり、したがって本実施例の走査方向切替回路は、次の2つの状態をとる。

【0037】第1に、LRがHi電位、LRBがLo電位するとき、TFT308およびTFT310がONし、第2の入力信号線(2)と、TFT301およびTFT304のゲート電極が導通し、第3の入力信号線(3)と、TFT302およびTFT303のゲート電極が導通する。第2に、LRがLo電位、LRBがHi電位するとき、TFT309およびTFT311がONし、第2の入力信号線(2)と、TFT302およびTFT303のゲート電極が導通し、第3の入力信号線(3)と、TFT301およびTFT304のゲート電極が導通する。

【0038】すなわち、LRに信号が入力されてHi電位となり、LRBがLo電位するとき、サンプリングパルスの出力は1段目~2段目~・・・~最終段の順となり、逆にLRがLo電位、LRBに信号が入力されてHi電位となると、サンプリングパルスの出力は最終段~・・・2段目~1段目の順となる。本発明においては簡単な回路の追加によってこれらの機能を容易に付加出来る。ここで、本実施例は回路をNチャネル型TFTを用いて構成した場合であり、Pチャネル型TFTを用いて構成する場合は、LRに信号が入力された状態とはLo電位となった状態をいい、Hi電位の場合は信号が入力されていない状態である。

【0039】なお、本実施例で示した走査方向切替回路は一例であり、他の構成によって同様の機能を付加しても良い。

【0040】[実施例2]本実施例においては、一極性のみのTFTを用いて表示装置を作製した例について説明する。

【0041】図12は、表示装置の概略図である。基板1200上に、ソース信号線駆動回路1201、ゲート信号線駆動回路1202および画素部1203を一体形成にて作製している。画素部において、点線枠1210

で囲まれた部分が1画素である。図12の例では、液晶表示装置の画素を示しており、1個のTFT(以後、画素TFTと表記する)によって液晶素子の一方の電極に印加される電荷の制御を行っている。ソース信号線駆動回路1201、ゲート信号線駆動回路1202への信号入力は、フレキシブルプリント基板(Flexible Print Circuit:FPC)1204を介して、外部より供給される。

【0042】図4は、図12に示した表示装置における、ソース信号線駆動回路1201の全体構成を示した図である。本ソース信号線駆動回路は、クロック信号用レベルシフタ401、スタートパルス用レベルシフタ402、走査方向切替型シフトレジスタ403、バッファ404、サンプリングスイッチ405を有しており、外部から入力される信号は、クロック信号(CK)、クロック反転信号(CKB)、スタートパルス(SP)、走査方向切替信号(LR、LRB)、アナログ映像信号(Video1~Video12)である。この中で、CK、CKB、SPに関しては、外部から低電圧振幅の信号として入力された直後、レベルシフタによって振幅変換を受け、高電圧振幅の信号として駆動回路に入力される。また、1段のシフトレジスタから出力されるサンプリングパルスは、サンプリングスイッチ405を駆動することによって、ソース信号線12列分のアナログ映像信号を同時にサンプリングしている。

【0043】図5(A)は、クロック信号用レベルシフタの(LS1)構成を示している。これは1入力型のレベルシフタ回路を並列に配置(Stage1)し、バッファ段(Stage2~Stage4)の2入力を、それぞれ互いの出力を交互に入力する構成をとっている。

【0044】回路の動作について説明する。なお、図中で用いている電源電位は、VDD1、VDD2、VSSの3電位であり、 $VSS < VDD1 < VDD2$ である。本実施例では $VSS = 0[V]$ 、 $VDD1 = 5[V]$ 、 $VDD2 = 16[V]$ とした。また、図中、501、503、506、508で示されるTFTはWゲート構造をとっているが、これらのTFTはシングルゲートであっても良いし、3つ以上のゲート電極を有するマルチゲート構造でも良い。他のTFTに関しても、ゲート電極の数による制限はしない。

【0045】信号入力部1(1)より、 $VDD1 - VSS$ の振幅を有するCKが入力される。CKがHi電位とき、TFT502、504がONし、TFT503のゲート電極の電位がLo電位となってOFFする。よって出力ノードαにはLo電位が出力される。CKがLo電位とき、TFT502、504はOFFする。よって、飽和動作しているTFT501を通じて、TFT503のゲート電極電位はVDD2側に引き上げられ、その電位が $VDD2 - V_{thN}$ となったところでTFT501はOFFし、TFT503のゲート電極が浮遊状態

となる。これによりTFT503がONし、出力ノード α の電位はVDD2側に引き上げられる。ここで、容量505の働きにより、出力ノード α の電位上昇に伴って、浮遊状態となっているTFT503のゲート電極電位も引き上げられ、その電位はVDD2よりも高い電位を取り、その電位がVDD+V_{thN}を上回ることによって、出力ノード α のH_i電位はVDD2に等しくなる。よって、出力信号のL_o電位はVSS、H_i電位はVDD2となり、振幅変換が完了する。

【0046】一方、信号入力部2(2)より、CKと同10 じくVDD1-VSSの振幅を有するCKBが入力され、TFT506~509および容量510によって構成されたレベルシフタによって振幅変換が行われ、出力ノード β には、VDD2-VSSの振幅を有する信号が出力される。なお、ノード α および β に出力される信号は、入力されたCKおよびCKBに対して、極性が逆となっている。

【0047】本実施例の表示装置に用いたレベルシフタは、振幅変換後のパルスに対する負荷を考慮して、バッファ段を設けている(Stage2~Stage4)。20 このバッファ段を構成するインバータ回路は2入力型であり、入力信号およびその反転信号を必要とする。図5では、Stage2に示すバッファ回路において、TFT511のゲート電極に入力される信号と、TFT512のゲート電極に入力される信号は、極性が反転した信号を必要とする。TFT516、517についても同様である。そこで、ここではCK、CKBが互いの極性反転信号であることから、前述のレベルシフタ出力を、互いの信号の反転入力として用いている。

【0048】バッファ段を構成しているインバータ回路30 の動作について説明する。ここでは、TFT511~514および容量515によって構成されたインバータ回路における動作についてのみ詳細に述べるが、他のインバータ回路に関しても動作は同様である。

【0049】TFT511のゲート電極に入力される信号がH_i電位るとき、TFT511がONし、TFT513のゲート電極の電位はVDD2側に引き上げられ、その電位がVDD2-V_{thN}となったところでTFT511がOFFし、TFT513のゲート電極は浮遊状態となる。一方、TFT512、514のゲート電極に40 はL_o電位が入力されてOFFする。続いてTFT513がONし、出力ノード γ の電位がVDD2側に引き上げられる。ここで、前述のシフトレジスタおよびレベルシフタと同様、容量515の働きにより、浮遊状態となっているTFT513のゲート電極の電位が引き上げられ、VDD2+V_{thN}よりも高い電位を取る。よって、出力ノード γ のH_i電位がVDD2に等しくなる。

【0050】一方、TFT511のゲート電極に入力される信号がL_o電位るとき、TFT511がOFFし、TFT512、514のゲート電極にはH_i電位が入力50

されてONする。したがって、TFT513のゲート電極の電位がL_o電位となり、出力ノード γ の電位はL_o電位となる。

【0051】TFT516~519および容量520によって構成されたインバータ回路においても上記と同様の動作をし、出力ノード δ にパルスが出力される。出力ノード δ には、出力ノード γ に出力される信号と極性が反転したパルスが出力される。

【0052】以後、Stage3、Stage4においても同様の動作によって、最終的に信号出力部3(3)および信号出力部4(4)より、パルスが出力される。なお、図5(A)においては、Stage2の出力をStage3に入力する際、Stage1からStage2の場合とは逆に、論理が反転しないように入力しているが、最終的に使用者が必要とするパルスの論理に合わせて接続すれば良く、特にStage間の接続に関しては制限を設けない。

【0053】図5(B)は、クロック信号(CK)の振幅変換の様子を示したものである。入力信号の振幅は0~5[V]であり、出力信号の振幅は0~16[V]となっている。

【0054】図5(C)は、スタートパルス用のレベルシフタ(LS2)を示している。スタートパルスの場合、その反転信号を持たないことから、1入力型のレベルシフタ回路(Stage1)を用い、1入力型のインバータ回路(Stage2)、2入力型のインバータ回路(Stage3)と続く構成とした。回路動作に関しては、クロック信号用のレベルシフタの項で説明したものと同様であるので、ここでは説明を省略する。

【0055】図5(D)は、スタートパルス(SP)の振幅変換の様子を示したものである。入力信号の振幅は5[V]であり、出力信号の振幅は16[V]となっている。

【0056】図6(A)はバッファ(Buf.)の構成を示しており、1入力型インバータ回路(Stage1)および3段の2入力型インバータ回路(Stage2~Stage4)によって構成されている。1入力型インバータ回路の動作に関しては、入力されるパルスの振幅がVDD2-VSSであって、入出力パルス間の振幅変換がないことを除いて、レベルシフタ回路と同様である。

【0057】2入力型インバータ回路の動作は、TFT607に、入力信号として前段からの出力信号が入力され、TFT606には、入力信号の反転信号として、前段のインバータへの入力信号を用いている。TFT606、TFT607が排他的に動作することによって、TFT608のゲート電極の電位は前述のレベルシフタ回路と同様に制御される。以後のインバータ回路においても、入力信号は前段からの出力信号、入力信号の反転信号は前段への入力信号を用いて動作している。

【0058】図6(B)は、サンプリングスイッチの構成を示している。信号入力部25(25)より、サンプリングパルスが入力され、並列に配された12個のTFT621が同時に制御される。信号入力部1(1)~12(12)より、アナログ映像信号が入力され、サンプリングパルスの入力によって、そのときの映像信号の電位を、ソース信号線に書き込む働きをする。

【0059】本実施例にて示した駆動回路を構成する回路のうち、インバータ回路、レベルシフト回路に関しては、同発明者らにより、特願2001-133431号にて出願された発明に記載されているものと同様のものを用いている。

【0060】本実施例にて示した表示装置は、画素部を含む表示装置全体を構成する駆動回路を、画素TFTと同一の極性を有する一極性のTFT(例えばN型TFT)のみを用いて作製している。これにより、半導体層にP型を付与するイオンドーピング工程を省略することが可能となり、製造コストの削減や歩留まり向上等に寄与することが出来る。

【0061】なお、本実施例の表示装置を構成したTFTの極性はN型であるが、P型TFTのみを用いて駆動回路および画素TFTを構成することも、本発明によってももちろん可能となる。この場合は、省略されるイオンドーピング工程は、半導体層にN型を付与する工程であることを付記する。また、本発明は液晶表示装置のみならず、絶縁体上に駆動回路を一体形成して作製する装置ならばいずれの物にも適用が可能である。

【0062】[実施例3]本実施例においては、実施形態において、図1で示したパルス出力回路の構成を簡略化した例について説明する。

【0063】図7は、本実施例のシフトレジスタを示したものである。図7(A)において、ブロック700が1段分のパルスを出力するパルス出力回路であり、図7(A)のシフトレジスタはn段のパルス出力回路で構成されている。図7(B)に詳細な回路構成を示す。図1(A)で示したシフトレジスタと、図7(A)のシフトレジスタのブロック図は同様であり、入力される信号も同様である。本実施例が異なる点は、図7(B)において、パルス出力回路をTFT701~704の4つのTFTと、容量705にて構成している点である。図7(B)において、ブロック710は振幅補償回路である。図7(C)にさらなる詳細図を示す。図7(C)において、電源VDDに接続されたTFT701と、電源VSSに接続されたTFT702とを用いて振幅補償回路が構成されている。

【0064】回路の動作について説明する。m段目($1 < m \leq n$)において、TFT701のゲート電極にはm-1段目より出力されたパルスが入力され(m=1のとき、すなわち第1段目においてはSPが入力される)、TFT701のゲート電極の電位はHi電位となり、O

Nする。これにより、ノードαの電位はVDD側に引き上げられ、その電位が $VDD - V_{thN}$ となったところでTFT701がOFFし、ノードαは浮遊状態となってTFT703がONする。一方、TFT702、704のゲート電極にはこの時点ではパルスが入力されておらず、Lo電位のままであるので、OFFしている。よって、TFT703の不純物領域の一端、すなわち第1の入力信号線(1)から入力されるCKがHi電位となるに伴い、出力ノードの電位がVDD側に引き上げられる。

【0065】ここで、TFT703のゲートと出力ノード間には、容量705が設けてあり、さらに今、ノードα、すなわちTFT703のゲート電極は浮遊状態にあるため、出力ノードの電位が上昇するに伴い、ブートストラップによってTFT703のゲート電極の電位は $VDD - V_{thN}$ からさらに引き上げられる。これにより、TFT703のゲート電極の電位は、 $VDD + V_{thN}$ よりも高い電位を取る。よって出力ノードの電位は、TFT703のしきい値によって電位が低下することなく、完全にVDDまで上昇する。

【0066】同様に、m+1段目においてはCKBに従ってパルスが出力される。m+1段目の出力パルスは、m段目に帰還し、TFT702、704のゲート電極に入力される。TFT702、704のゲート電極がHi電位となってONすることにより、ノードαの電位はVSS側に引き下げられてTFT703がOFFし、出力ノードの電位はLo電位となる。

【0067】以後、最終段まで同様の動作により、順次 $VDD - VSS$ 間の振幅を有するパルスが出力される。最終段においては、図7(B)において第3の入力信号線(3)より入力されるべき次段出力パルスがないため、CKがそのまま出力されつづけるが、実施形態と同様、ダミー段として扱えば問題はない。図7に示した本実施例においては、スタートパルスを最終段の第3の入力信号線に入力することによって、次の水平期間の直前で最終段出力パルスを停止させている。この他の方法としては、実施形態の項で述べたようにリセット信号を用意して、帰線期間中に最終段の第3の入力信号線に入力してやることによって、パルス出力を停止する方法や、全段の出力ノードを帰線期間中にLo電位に固定するようにリセット信号を入力する方法など(図15と同様でよい)がある。

【0068】本実施例にて示したパルス出力回路は、実施形態において示したパルス出力回路と比較して素子数が少ない点、また、サンプリングパルスの入出力がない期間で浮遊状態をとる部分が多いことなどから、特に駆動周波数が高い部分向きであるといえる。よって、表示装置においては、ソース信号線駆動回路等に用いるのが望ましい。

【0069】[実施例4]図13を参照する。本発明の実

施形態および実施例 1、実施例 3 等にしたシフトレジスタにおいて、CK は図 13 (A) に示すように、Hi 電位の期間 1301 と Lo 電位の期間 1302 の長さが等しく、CKB はその極性が反転したものが入力される。このとき、サンプリングパルスのパルス幅は、CK および CKB のパルス幅に等しいため、その出力は図 13 (A) において、1303~1307 に示すようになる。1303 は第 1 段目のサンプリングパルス、1304 は第 2 段目のサンプリングパルス、以下、3~5 段目のサンプリングパルスを示している。

【0070】ここで、CK その他の入出力信号は、Lo 電位から Hi 電位に変化する際の立ち上がり時間および、Hi 電位から Lo 電位に変化する際の立ち下がり時間を有しているため、これに起因して、理想的には現れないはずのパルスの重なりが生ずる場合がある。図 13 (A) において、サンプリングパルス 1303~1307 は、隣接したパルス間で、立ち上がり期間と立ち下がり期間が重複している様子が現れている。

【0071】特にアナログ映像信号をサンプリングすることによって映像表示を行う表示装置の場合、このような隣接したサンプリングパルスの重複によって、不正なタイミングで映像信号のサンプリングが行われる場合があり、表示品質の低下を招くことになる。

【0072】よって、このようなサンプリングパルスの重複を回避するため、図 13 (C) に示すように、CK のパルス幅に差を与える。この場合、Hi 電位の期間 1308 は、Lo 電位の期間 1309 よりもやや短くなっている。CKB も同様に、Hi 電位の期間を Lo 電位の期間よりもやや短くしている。このようにすることで、CK の立ち上がり期間と CKB の立ち下がり期間、あるいは CK の立ち下がり期間と CKB の立ち上がり期間の重複がなくなり、したがってサンプリングパルスも、1310~1314 に示すように、隣接パルス間での立ち上がり期間、立ち下がり期間の重複をなくすることが出来る。

【0073】ここで、再び図 1 を参照する。図 1 (B) にて示したパルス出力回路の動作は、TFT 105 が ON している期間に、CK もしくは CKB が出力ノードに出力されることによってサンプリングパルスが出力される。すなわち、ノード α の電位が上昇を始めてから、次段のサンプリングパルスによってその電位が Lo 電位に引き落とされるまでの間、CK もしくは CKB がそのまま出力される。よって、CK の立ち上がり期間と CKB の立ち下がり期間、あるいは CK の立ち下がり期間と CKB の立ち上がり期間が重複している場合、サンプリングパルスの前後に、不正なパルスが出力される場合がある。

【0074】図 13 (A) において、サンプリングパルス 1305 が出力されるシフトレジスタには、前段のサンプリングパルス 1304 が入力され、その瞬間より、

CK もしくは CKB (サンプリングパルス 1305 が出力される段では、CK) がそのまま出力ノードに現れるため、1315 にて示されるタイミング、すなわち前段のサンプリングパルス 1304 が立ち上がり始めるタイミングで、CK が Lo 電位に下がりきっていないと、図 13 (B) に示すように、本来出力されるサンプリングパルス 1305 の前に不正パルス 1316 が現れる。よって、本実施例で示したように、CK、CKB のパルス幅を変調させることによって、これらの誤動作を回避することが出来る。

【0075】[実施例 5] 実施形態およびこれまでの実施例においては、N チャネル型の TFT のみを用いて回路を構成した例を示したが、電源電位の高低を置き換えることにより、P チャネル型 TFT のみを用いても同様の回路が構成出来る。

【0076】図 15 (A) (B) は、P チャネル型の TFT のみを用いて構成したシフトレジスタの例である。図 16 (A) に示したブロック図に関しては、図 1 に示した N チャネル型の TFT のみを用いて構成したシフトレジスタと同様の構成であり、ブロック 1600 が、1 段分のサンプリングパルスを出力するパルス出力回路である。N チャネル型 TFT によって構成されたシフトレジスタと異なる点として、図 16 (B) に示すように、電源電位の高低が逆となっている。

【0077】図 17 に、タイミングチャートおよび出力パルスを示す。各部の動作は、実施形態にて図 1、図 2 を用いて説明したので、ここでは詳細な説明は省略する。図 2 に示したものと、ちょうど Hi 電位と Lo 電位が逆転した形となる。

【0078】[実施例 6] 本発明は、様々な電子機器に用いられている表示装置の作製に適用が可能である。このような電子機器には、携帯情報端末 (電子手帳、モバイルコンピュータ、携帯電話等)、ビデオカメラ、デジタルカメラ、パーソナルコンピュータ、テレビ、携帯電話等が挙げられる。それらの一例を図 8 に示す。

【0079】図 8 (A) は液晶ディスプレイ (LCD) であり、筐体 3001、支持台 3002、表示部 3003 等により構成されている。本発明は、表示部 3003 に適用が可能である。

【0080】図 8 (B) はビデオカメラであり、本体 3011、表示部 3012、音声入力部 3013、操作スイッチ 3014、バッテリー 3015、受像部 3016 等により構成されている。本発明は、表示部 3012 に適用が可能である。

【0081】図 8 (C) はノート型のパーソナルコンピュータであり、本体 3021、筐体 3022、表示部 3023、キーボード 3024 等により構成されている。本発明は、表示部 3023 に適用が可能である。

【0082】図 8 (D) は携帯情報端末であり、本体 3031、スタイラス 3032、表示部 3033、操作ボ

タン 3034、外部インターフェイス 3035 等により構成されている。本発明は、表示部 3033 に適用が可能である。

【0083】図 8 (E) は音響再生装置、具体的には車載用のオーディオ装置であり、本体 3041、表示部 3042、操作スイッチ 3043、3044 等により構成されている。本発明は表示部 3042 に適用が可能である。また、本実施例では車載用オーディオ装置を例に挙げたが、携帯型もしくは家庭用のオーディオ装置に用いても良い。

【0084】図 8 (F) はデジタルカメラであり、本体 3051、表示部 (A) 3052、接眼部 3053、操作スイッチ 3054、表示部 (B) 3055、バッテリー 3056 等により構成されている。本発明は、表示部 (A) 3052 および表示部 (B) 3055 に適用が可能である。

【0085】図 8 (G) は携帯電話であり、本体 3061、音声出力部 3062、音声入力部 3063、表示部 3064、操作スイッチ 3065、アンテナ 3066 等により構成されている。本発明は、表示部 3064 に適用が可能である。

【0086】なお、本実施例に示した例はごく一例であり、これらの用途に限定しないことを付記する。

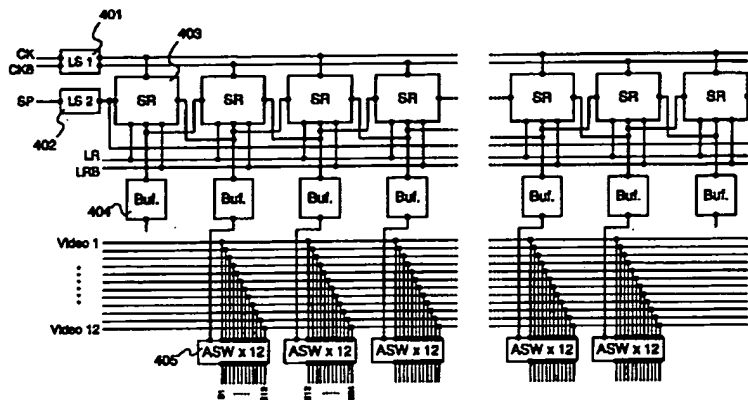
【発明の効果】本発明によって、表示装置の駆動回路および画素部を、一導電型の TFT のみによって構成することが可能となり、表示装置の作製工程を削減することによって、低コスト化、歩留まりの向上に寄与し、より安価に表示装置の供給が可能となる。

【図面の簡単な説明】

【図 1】 本発明のバース出力回路の一形態を示す図。

【図 2】 図 1 に示したバース出力回路を駆動するタイミングチャートを示す図。

【図 4】



【図 3】 本発明のバース出力回路の一実施例である、走査方向切替機能を付加したシフトレジスタを示す図。

【図 4】 本発明によって提供される表示装置における、ソース信号線駆動回路の構成例を示す図。

【図 5】 本発明によって提供される表示装置における、レベルシフタの回路構成の詳細図。

【図 6】 本発明によって提供される表示装置における、バッファ、サンプリングスイッチの回路構成の詳細図。

【図 7】 本発明の一実施例である、構成を簡略化したシフトレジスタを示す図。

【図 8】 本発明の適用が可能な電子機器の例を示す図。

【図 9】 従来型 CMOS インバータと負荷型インバータの構成と、それぞれの入出力信号の波形を示す図。

【図 10】 本発明のバース出力回路の動作原理を説明する図。

【図 11】 従来型のシフトレジスタの回路構成とタイミングチャートを示す図。

【図 12】 本発明によって提供される表示装置の全体外観を示す図。

【図 13】 クロック信号のバース幅の違いによる、本発明の実施形態にて示したシフトレジスタの動作を示す図。

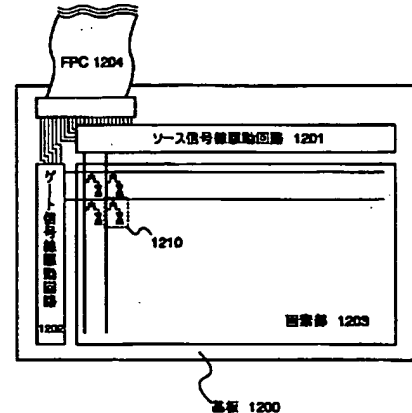
【図 14】 リセット信号の入力を追加したシフトレジスタを示す図。

【図 15】 リセット信号の入力を追加したシフトレジスタを示す図。

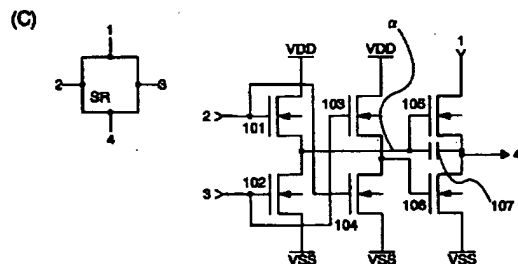
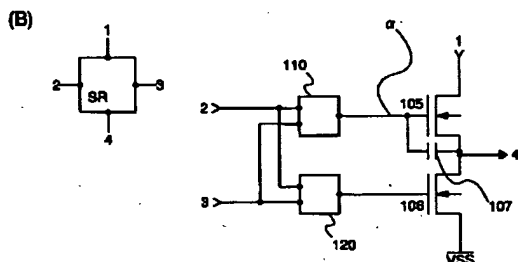
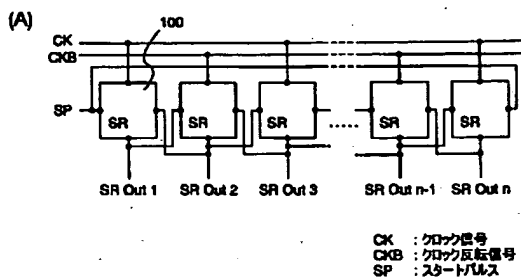
【図 16】 実施形態とは異なる導電型のトランジスタによる回路構成を示す図。

【図 17】 図 16 に示したシフトレジスタを駆動するタイミングチャートを示す図。

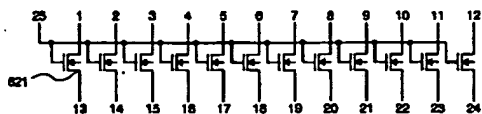
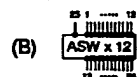
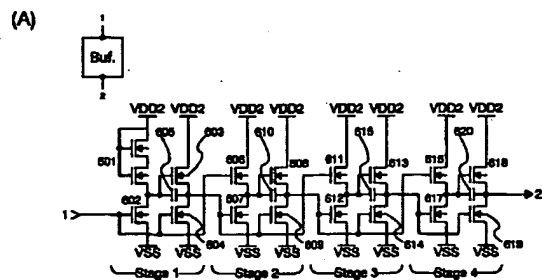
【図 12】



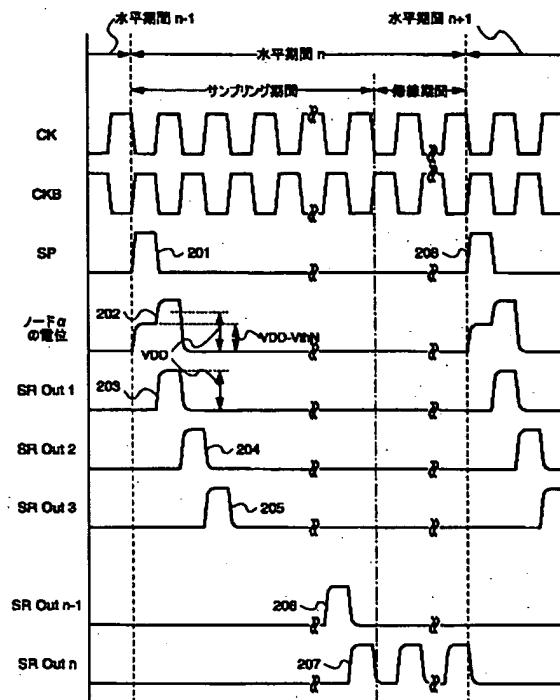
【图 1】



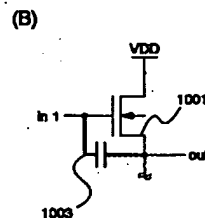
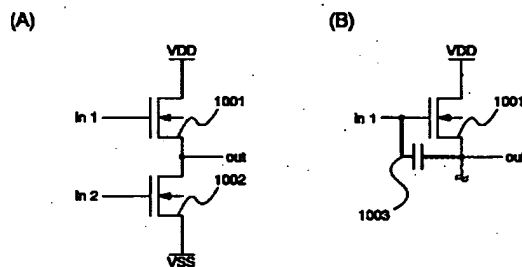
【図 6】



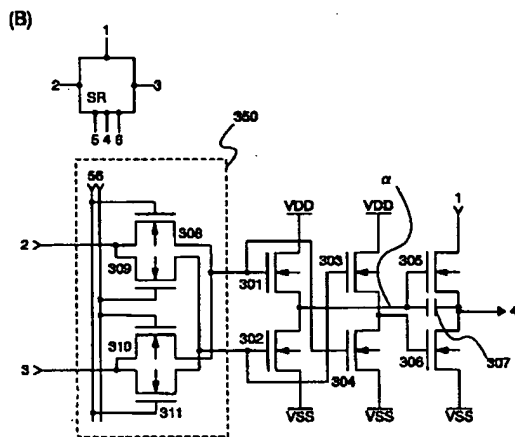
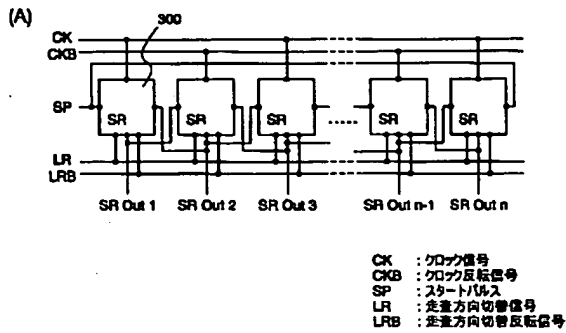
【図 2】



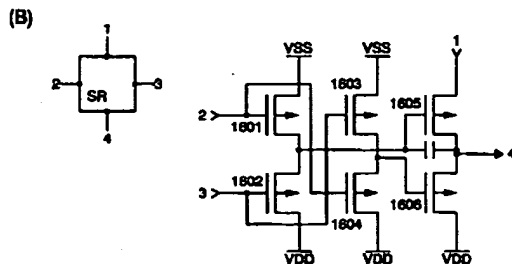
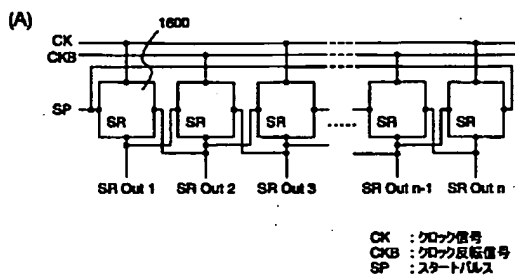
【図 10】



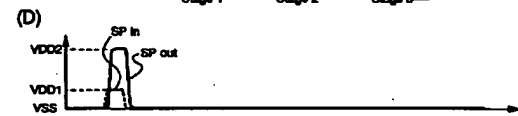
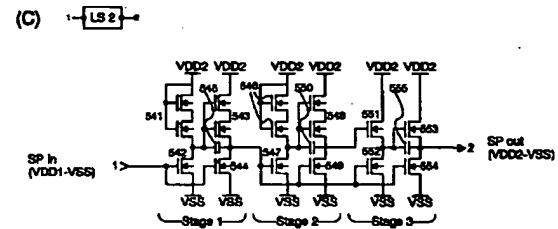
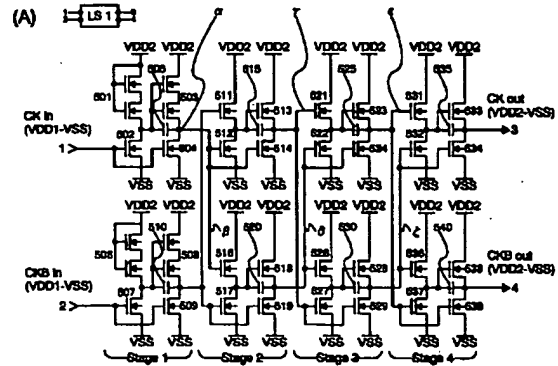
【図 3】



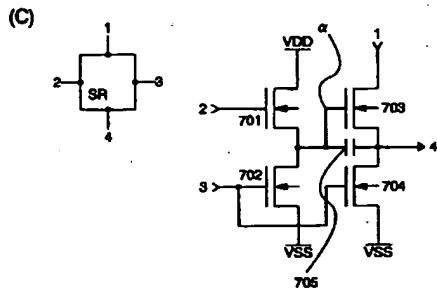
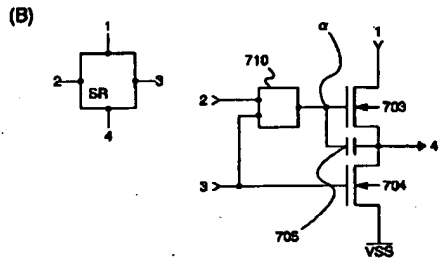
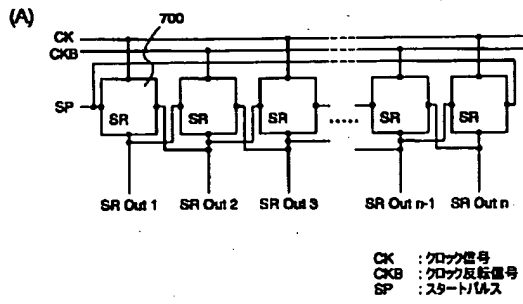
【図 16】



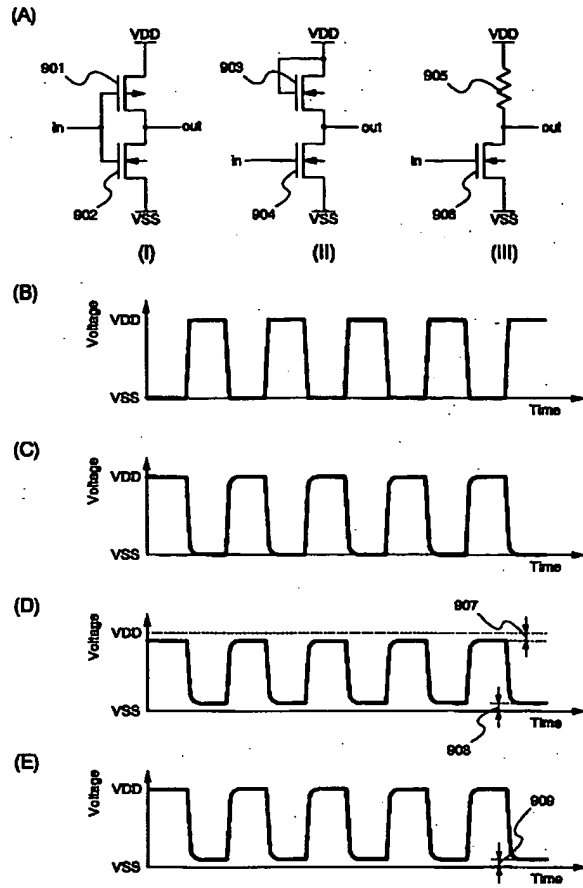
【図 5】



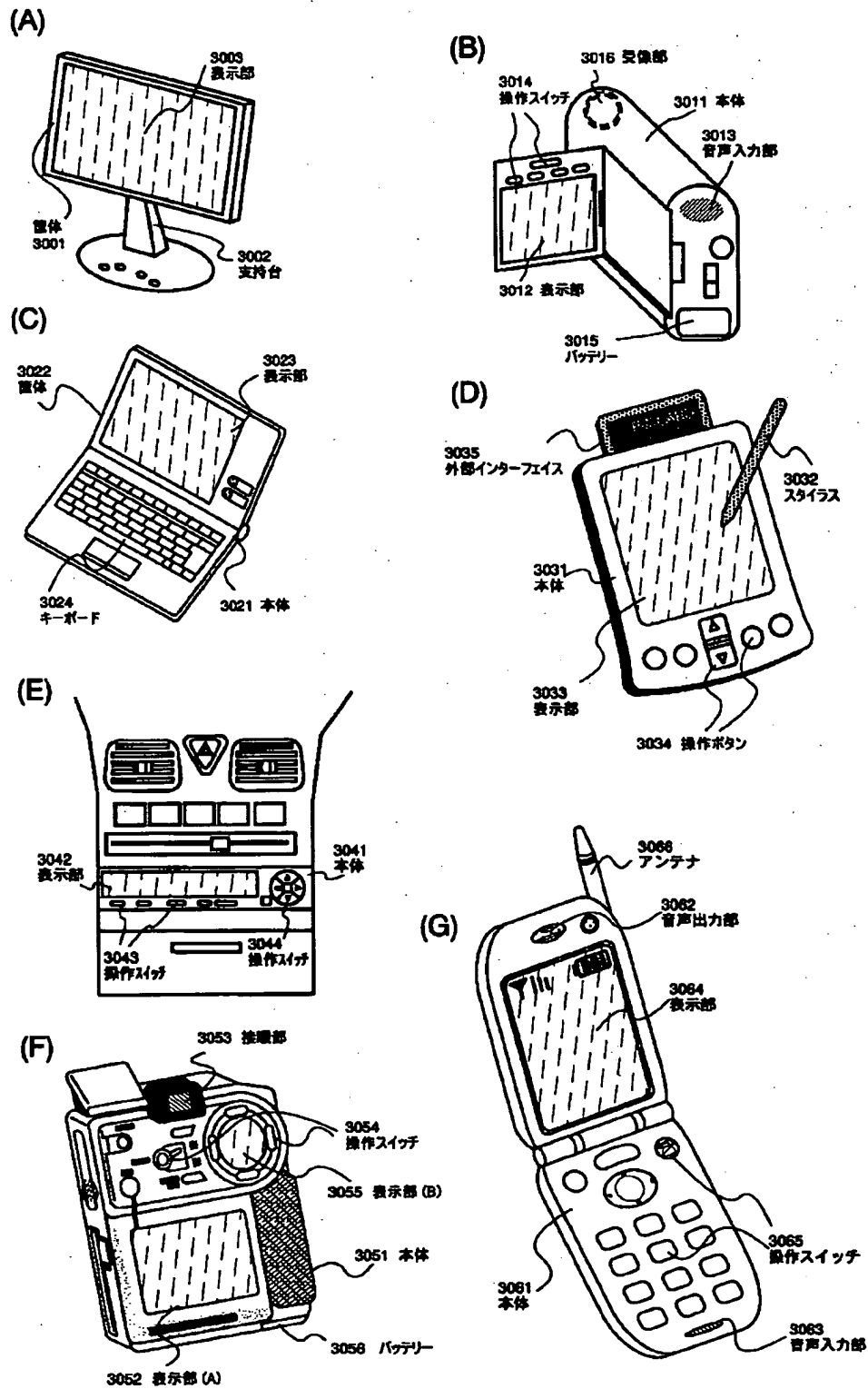
【図 7】



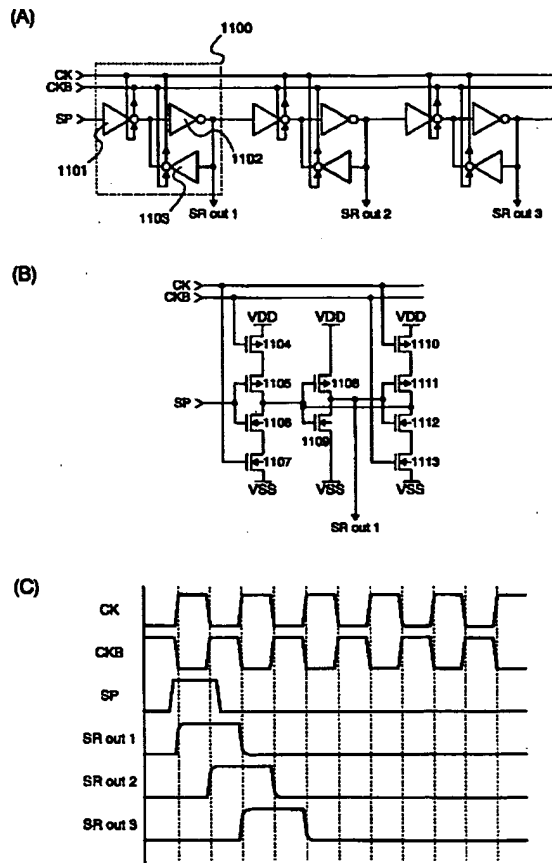
【図 9】



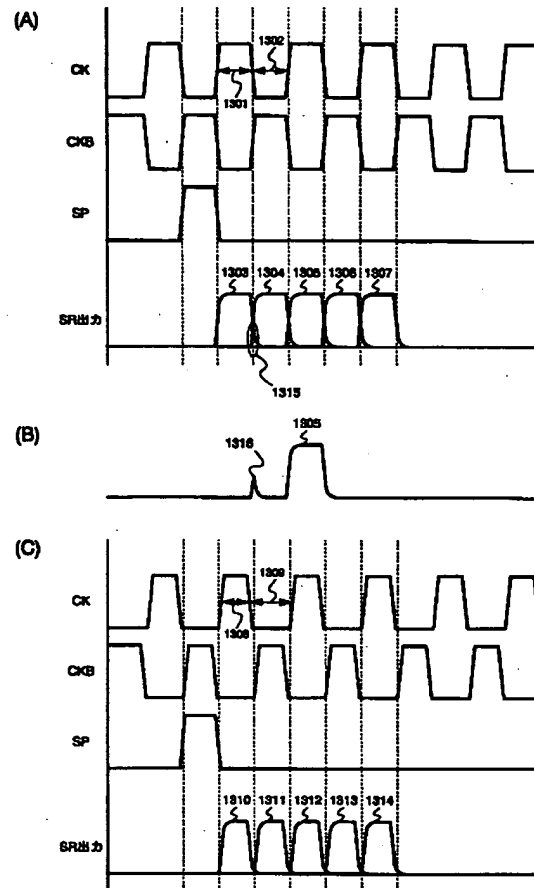
【図 8】



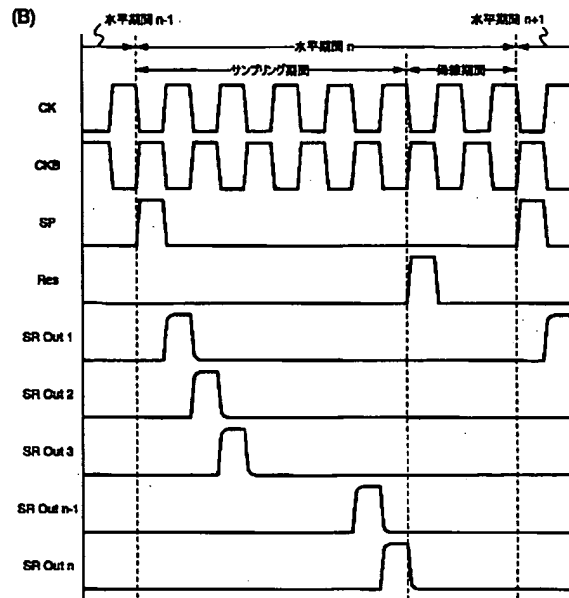
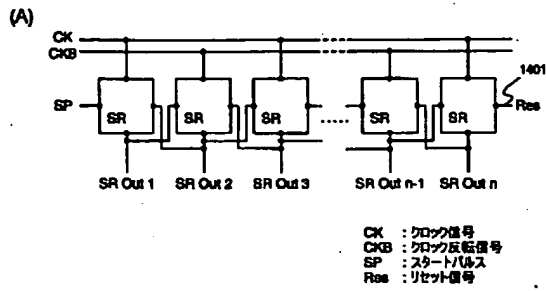
【図 11】



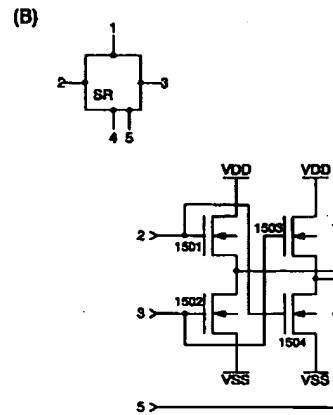
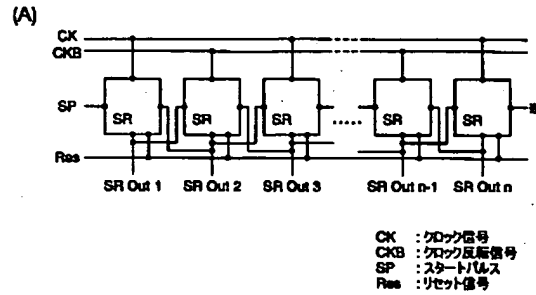
【図 13】



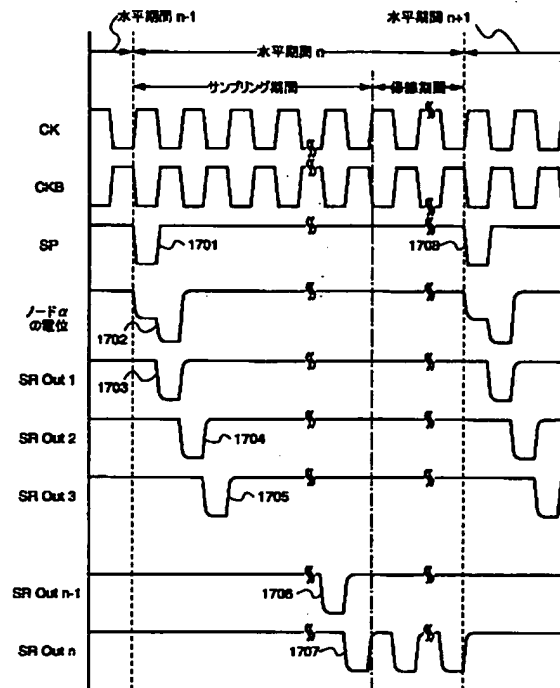
【図 14】



【図 15】



【図 17】



フロントページの続き

(51) Int. Cl.⁷

識別記号

F I

ターム(参考)

G 0 9 G 3/36

G 1 1 C 19/00

J

G 1 1 C 19/00

H 0 3 K 19/00

1 0 1 F

Fターム(参考) 2H093 NA41 NC22 NC34 ND50 ND53

ND54

5C006 BB16 BF03 BF34 BF37 EB05

FA41

5C080 AA06 AA10 BB05 DD25 DD27

DD28 FF11 JJ02 JJ03 JJ04

JJ06

5J056 AA05 BB52 BB59 CC00 CC18

DD12 DD26 DD27 EE11 FF01

FF08 GG09